

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-44362  
(P2001-44362A)

(43)公開日 平成13年 2月16日 (2001. 2. 16)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 1 L	25/10	H 0 1 L 25/14	Z
	25/11	23/12	Z
	25/18	23/52	C
	23/12		
	23/52		

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21)出願番号 特願平11-212757

(22)出願日 平成11年 7月27日 (1999. 7. 27)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 富田 至洋

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(74)代理人 100082175

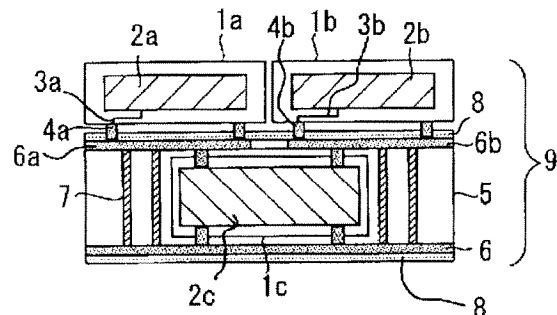
弁理士 高田 守 (外 1 名)

(54)【発明の名称】 半導体装置の実装構造および実装方法

(57)【要約】

【課題】 複数の半導体装置を実装基板上に搭載する場合であっても、小型で、かつ高速伝送に対応することができる半導体装置の実装構造および実装方法を提供する。

【解決手段】 半導体装置 1 0 を実装基板 5 の両面に形成された配線層または伝送路 6 等の間に内包するような構造を用いることにより配線距離を短縮することができるため、実装構造体 9 全体を小型化することができる。配線距離を短縮できた結果、電気抵抗値も低減させることができるため、電気的特性が向上し高速伝送を可能とすることができる。半導体装置 1 を導線 6 c を芯とする円筒状等に構成することにより、高い電気的特性を得ることができる。円筒状に構成した実装構造体 9 の側面からも外部端子 4 を全面に引き出すことを可能としたため、実装面積に対して多数の外部端子数を配置することができ、実装構造体 9 の小型化を可能とすることができる。



1a, 1b, 1c: 半導体装置  
2a, 2b, 2c: 半導体素子  
3a, 3b, 3c: 導体  
4a, 4b: 外部端子  
5: 実装基板

6a, 6b, 6: 配線層  
7: 貫通孔  
8: レジスト層  
9: 実装構造体

## 【特許請求の範囲】

【請求項1】 少なくとも1対の半導体装置と、  
前記少なくとも1対の半導体装置の各々と接続された少なくとも1対の配線層と、  
前記少なくとも1対の配線層が片面側に形成され、前記少なくとも1対の配線層と異なる他の配線層が他方の片面側に形成された実装基板とを備え、  
前記少なくとも1対の配線層の両方と接続され、かつ前記少なくとも1対の配線層と前記他の配線層との間に内包された半導体装置を設けたことを特徴とする半導体装置の実装構造。

【請求項2】 前記実装基板の他方の片面側に、前記内包された半導体装置と接続された少なくとも1対の半導体装置をさらに備えたことを特徴とする請求項1記載の半導体装置の構造。

【請求項3】 実装基板と、  
前記実装基板の両面側に形成された配線層と、  
前記両面側に形成された配線層の各々に接続して形成された半導体装置と、  
前記実装基板内に形成された前記両面側に形成された配線層を接続する貫通孔とを備え、  
前記貫通孔内に、前記両面側に形成された配線層の各々に形成された半導体装置を接続する内包された半導体装置を設けたことを特徴とする半導体装置の実装構造。

【請求項4】 所定の断面形状に形成された導線と、  
前記導線を芯として該導線上に形成された半導体装置と、  
前記半導体装置の外周面上に形成されたバンパと、  
前記半導体装置を芯として前記バンパを介し形成された配線層と、  
前記配線層の外周面上に形成された端子とを備え、  
前記導線と前記バンパとを接続する配線を前記半導体装置の内部に設けたことを特徴とする半導体装置の実装構造。

【請求項5】 前記所定の断面形状は円形であることを特徴とする請求項4記載の半導体装置の実装構造。

【請求項6】 前記配線層は多層構造を有することを特徴とする請求項1ないし5のいずれかに記載の半導体装置の実装構造。

【請求項7】 半導体装置の片面上にバンパを形成するバンパ形成工程と、  
前記バンパが片面上に形成された半導体装置を、所定の断面形状を有する導線を芯として該導線上にダイボンディングするダイボンディング工程と、  
前記ダイボンディングされた半導体装置を芯として、該半導体装置上に形成されたバンパを介し配線層を形成する配線層形成工程と、  
前記配線層の外周面上に端子を形成する工程とを備え、  
前記導線と前記バンパとを接続する配線を前記半導体装置の内部に設けたことを特徴とする半導体装置の実装方

法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の実装構造および実装方法に関し、特に半導体装置が実装基板内に内包された半導体装置の実装構造および実装方法に関する。

## 【0002】

【従来の技術】図6は、従来の半導体装置の実装構造を有する実装構造体の側断面図を示す。図6において、符号2は半導体素子、1は半導体素子2を有する半導体装置等の回路構造体（以下、「半導体装置」という）、3は半導体素子2から導出された導体、4は導体3を介して半導体素子2と電気的に接続され、外部と導通する外部端子、5は実装基板、6は実装基板5の両面に形成された配線層であって、外部端子4および導体3を介して半導体素子2と電気的に接続された配線層、7は実装基板5内に形成された貫通孔であって、両面に形成された配線層6の間を電気的に接続する貫通孔、8は配線層6を保護するレジスト層、9は半導体装置1ないしレジスト層8を包括する実装構造体である。図6に示されるように、複数の半導体装置1を実装基板5上に搭載する従来の実装構造体9においては、複数の半導体装置1を実装基板5上に並列に搭載していた。

## 【0003】

【発明が解決しようとする課題】上述のように、従来の半導体装置の実装構造を有する実装構造体は、複数の半導体装置1を実装基板5上に並列に搭載していたため、配線層6の領域が広くなり、実装構造体9の小型化が困難であり、かつ高速伝送に対応することが困難であるという問題があった。そこで、本発明の目的は、上記問題を解決するためになされたものであり、複数の半導体装置を実装基板上に搭載する場合であっても、小型で、かつ高速伝送に対応することができる半導体装置の実装構造および実装方法を提供することにある。

## 【0004】

【課題を解決するための手段】この発明の半導体装置の実装構造は、少なくとも1対の半導体装置と、前記少なくとも1対の半導体装置の各々と接続された少なくとも1対の配線層と、前記少なくとも1対の配線層が片面側に形成され、前記少なくとも1対の配線層と異なる他の配線層が他方の片面側に形成された実装基板とを備え、前記少なくとも1対の配線層の両方と接続され、かつ前記少なくとも1対の配線層と前記他の配線層との間に内包された半導体装置を設けたものである。

【0005】ここで、この発明の半導体装置の実装構造は、前記実装基板の他方の片面側に、前記内包された半導体装置と接続された少なくとも1対の半導体装置をさらに備えることができるものである。

【0006】この発明の半導体装置の実装構造は、実装

基板と、前記実装基板の両面側に形成された配線層と、前記両面側に形成された配線層の各々に接続して形成された半導体装置と、前記実装基板内に形成された前記両面側に形成された配線層を接続する貫通孔とを備え、前記貫通孔内に、前記両面側に形成された配線層の各々に形成された半導体装置を接続する内包された半導体装置を設けたものである。

【0007】この発明の半導体装置の実装構造は、所定の断面形状に形成された導線と、前記導線を芯として該導線上に形成された半導体装置と、前記半導体装置の外周面上に形成されたバンプと、前記半導体装置を芯として前記バンプを介し形成された配線層と、前記配線層の外周面上に形成された端子とを備え、前記導線と前記バンプとを接続する配線を前記半導体装置の内部に設けたものである。

【0008】ここで、この発明の半導体装置の実装構造において、前記所定の断面形状は円形とすることができるものである。

【0009】ここで、この発明の半導体装置の実装構造において、前記配線層は多層構造を有することができるものである。

【0010】この発明の半導体装置の実装方法は、半導体装置の片面上にバンプを形成するバンプ形成工程と、前記バンプが片面上に形成された半導体装置を、所定の断面形状を有する導線を芯として該導線上にダイボンディングするダイボンディング工程と、前記ダイボンディングされた半導体装置を芯として、該半導体装置上に形成されたバンプを介し配線層を形成する配線層形成工程と、前記配線層の外周面上に端子を形成する工程とを備え、前記導線と前記バンプとを接続する配線を前記半導体装置の内部に設けたものである。

【0011】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0012】実施の形態1.図1は、本発明の実施の形態1における半導体装置の実装構造を有する実装構造体の側断面図を示す。図1において、符号2a、2bは半導体素子、1a、1bは各々半導体素子2a、2bを有する半導体装置、3a、3bは各々半導体素子2a、2bから導出された導体、4a、4bは各々導体3a、3bを介して半導体素子2a、2bと電気的に接続され、外部と導通する外部端子、5は実装基板、6、6a、6bは実装基板5の両面に形成された配線層または伝送路であって、配線層6aは外部端子4aおよび導体3aを介して半導体素子2aと電気的に接続され、配線層6bは外部端子4bおよび導体3bを介して半導体素子2bと電気的に接続されている。続いて、符号7は実装基板5内に形成され、両面に形成された配線層6aまたは6bと6との間を電気的に接続する貫通孔、8は配線層6、6a、6bを保護するレジスト層、9は半導体装置

1ないしレジスト層8を包括する実装構造体、1cは実装基板5の上面側の配線層6aおよび6bと下面側の配線層6との間に内包するように設けられた半導体素子2cを有する半導体装置である。

【0013】図1に示されるように、本実施の形態1においては、複数の半導体装置1を実装基板5上の信号の配線層または伝送路6に対して電気的に導通が得られるように搭載する場合、半導体装置1cを実装基板5の両面に形成された配線層6aおよび6bと配線層6との間に内包するような構造を用いている。半導体装置1cは、配線層6aを介して半導体装置1aと接続され、配線層6bを介して半導体装置1bと接続されており、半導体装置1aと半導体装置1bとを接続している。上述のように、例えば同じく3台の半導体装置1を搭載した従来例（図5）と比較して、配線距離を約2/3とすることができるため、実装構造全体を小型化することができる。さらに、配線距離を短縮できた結果、電気抵抗値も例えば従来例（図5）と比較して約2/3と低減させることができるため、電気的特性が向上し高速伝送を可能とすることができる。

【0014】本実施の形態1においては、実装基板5の両面に配線層6a、6bおよび6を形成する構造を説明したが、実装基板5上に形成される配線層6等の層の数は何層であってもよい。半導体装置は1対のみ示されているが、少なくとも1対あればよく、搭載する半導体装置の数は制限されるものではない。さらに、図1では実装基板5の上面側に半導体装置が搭載されているが、下面側であってもよい。半導体素子2a等は半導体装置1a等の内部に形成されているが、半導体素子2a等を直接外部端子に接続し、または半導体素子10aを直接的に内包させることもできる。

【0015】以上より、実施の形態1によれば、半導体装置1cを実装基板5の両面に形成された配線層または伝送路6等の間に内包するような構造を用いることにより配線距離を短縮することができるため、実装構造体9全体を小型化することができる。さらに、配線距離を短縮できた結果、電気抵抗値も低減させることができるため、電気的特性が向上し高速伝送を可能とすることができる。

【0016】実施の形態2.図2は、本発明の実施の形態2における半導体装置の実装構造を有する実装構造体の側断面図を示す。図2で図1と同じ符号を付した部分は同じ機能を有するため説明は省略する。図2において、符号6cは中央に芯状に設けられた例えば電源またはグランドGND（電源／グランド）等の導線、6dは半導体素子の内部を例えば貫通して設けられた、導線6cから外部端子4へ導通する配線である。

【0017】図2に示されるように、実装構造体9を導線6cを芯とする円筒状に構成し、かつ半導体素子2を基板5（不図示）上の配線6と電源／グランド等の導線

6cとでカップリングした構造としたため、電気抵抗値を低減させることができ、高い電気的特性を得ることができる。さらに、円筒状に構成した半導体装置1の側面からも外部端子4を全面に引き出すことを可能としたため、実装面積に対して多数の外部端子数を配置することができ、半導体装置1の小型化を可能とすることができる。

【0018】図3は、本発明の実施の形態2における半導体装置の実装構造を有する実装構造体の製造方法をフローチャートと図とで示す。図3で図1または図2と同じ符号を付した部分は同じ機能を有するため説明は省略する。図3(A)に示されるように、半田バンプ3が形成された半導体素子2を、導線6cに対して矢印A1およびA2の方向に曲げて、図3(B)に示されるように、導線6cを芯とする円筒状にダイボンドする(工程P100)。次に図3(C)に示されるように、導線6cを芯として円筒状に構成された半導体素子2に対して配線6を円筒状にフリップチップボンドする(工程P110)。最後に図3(D)に示されるように、円筒状に構成された配線6cの側面全面から引き出せるように外部端子4を形成する(工程P120)。図3(A)ないし図3(D)に示されるように、極めて平易な製造プロセスにより本実施の形態2に示される実装構造を有する実装構造体9を得ることができる。

【0019】本実施の形態2においては、半導体素子2を導線6cを芯とする円筒状に構成する例を説明したが、半導体装置1の断面の形状を必ずしも真円状に構成する必要はない。半導体装置1の断面の形状は楕円状、多角形状等であってもよく、半導体素子2を包括することが出来る形状であれば効果は同等である。外部端子4も半導体装置1の断面形状によらずに、その側面から引き出すことができる。

【0020】以上より、実施の形態2によれば、実装構造体9を導線6cを芯とする円筒状等に構成することにより、高い電気的特性を得ることができる。さらに、円筒状に構成した実装構造体9の側面からも外部端子4を全面に引き出すことを可能としたため、実装面積に対して多数の外部端子数を配置することができ、実装構造体9の小型化を可能とすることができる。

【0021】実施の形態3.図4は、本発明の実施の形態3における半導体装置の実装構造を有する実装構造体の側断面図を示す。図4で図1ないし図3と同じ符号を付した部分は同じ機能を有するため説明は省略する。

【0022】図4に示されるように、実施の形態1に示された構造に加えて、さらに配線層6側にも半導体装置1dおよび1eを積層し、内包された半導体装置1cを介して、実装基板5の上側の半導体装置1aおよび1bと下側の半導体装置1dおよび1eとを電気的に接続することにより、実施の形態1と比較してより多数の半導体装置1から構成される実装構造体9全体を小型化可能

としている。この結果、半導体装置1間の配線距離を短縮することができるため、実装構造体9全体を高速伝送可能とすることができる。

【0023】本実施の形態3においては、実装基板5の上側にある1対の半導体装置1aおよび1cに対して、下側にある1対の半導体装置1dおよび1eを内包された1つの半導体装置1cを介して積層し、電気的に接続する構成例を説明したが、組み合わせられる半導体装置1a等の数に制約があるものではない。

10 【0024】以上より、実施の形態3によれば、実施の形態1に加えて、実装基板5の上側にある1対の半導体装置1aおよび1cに対して、下側にある1対の半導体装置1dおよび1eを内包された1つの半導体装置1cを介して積層し、電気的に接続することにより、実施の形態1と比較してより多数の半導体装置1から構成される実装構造体9全体を小型化可能としている。この結果、半導体装置1間の配線距離を短縮することができるため、実装構造体9全体を高速伝送可能とすることができる。

20 【0025】実施の形態4.図5は、本発明の実施の形態4における半導体装置の実装構造を有する実装構造体の側断面図を示す。図5で図1ないし図4と同じ符号を付した部分は同じ機能を有するため説明は省略する。

【0026】実施の形態1においては、半導体装置1cを配線層または伝送路6間の実装基板5内に内包するような構造を用いていたが、本実施の形態4においては、実装基板5の上面にある配線層6eと下面にある配線層6との間を電気的に導通する貫通孔7の中に、半導体装置1fを内包させる構造を用いている。この内包された半導体装置1fにより、配線層6e側の半導体装置1bと配線層6側の半導体装置1dとを接続している。この結果、実装基板5全体の面積を小型化することができ、実装構造体9全体を小型化することができる。

【0027】本実施の形態4においては、貫通孔7が1個であり、半導体装置が1bと1dの2個である場合の例を説明したが、貫通孔7の数、半導体装置1b、1d等の数に制限はなく、配線層の数にも制限はない。

【0028】以上より、実施の形態4によれば、貫通孔7の中に、半導体装置1fを内包させる構造を用いた結果、実装基板5全体の面積を小型化することができ、実装構造体9全体を小型化することができる。

【0029】

【発明の効果】以上説明したように、本発明の半導体装置の実装構造および実装方法によれば、複数の半導体装置を実装基板上に搭載する場合であっても、実装基板の両面に形成された配線層または伝送路間に半導体装置を内包することにより、小型で、かつ高速伝送に対応することができる半導体装置の実装構造および実装方法を提供することができる。

50 【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の実装構造を有する実装構造体の側断面図である。

【図2】 本発明の実施の形態2における半導体装置の実装構造を有する実装構造体の側断面図である。

【図3】 本発明の実施の形態2における半導体装置の実装構造を有する実装構造体の製造方法を示す工程図である。

【図4】 本発明の実施の形態3における半導体装置の実装構造を有する実装構造体の側断面図である。

【図5】 本発明の実施の形態4における半導体装置の

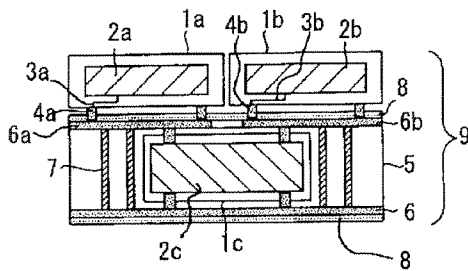
実装構造を有する実装構造体の側断面図である。

【図6】 従来の半導体装置の実装構造を有する実装構造体の側断面図である。

【符号の説明】

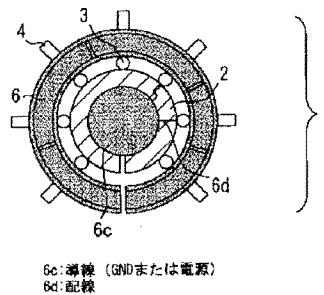
1a、1b、1c、1d、1e、1f 半導体装置、  
2a、2b、2c 半導体素子、 3a、3b 導体、  
4a、4b 外部端子、 5 実装基板、6a、6  
b、6c、6d、6 配線層、 7 貫通孔、 8 レ  
ジスト、 9 実装構造体。

【図1】



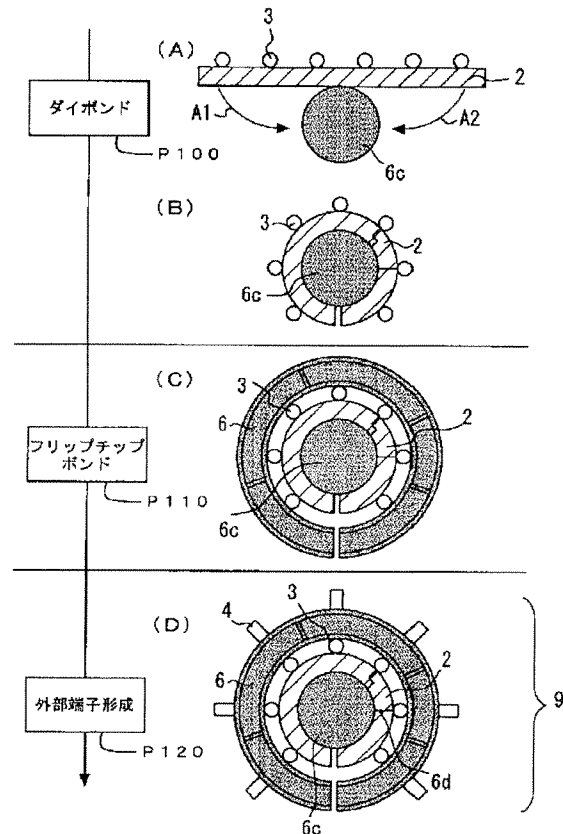
1a, 1b, 1c: 半導体装置  
2a, 2b, 2c: 半導体素子  
3a, 3b, 3c: 導体  
4a, 4b: 外部端子  
5: 実装基板  
6a, 6b, 6: 配線層  
7: 貫通孔  
8: レジスト層  
9: 実装構造体

【図2】

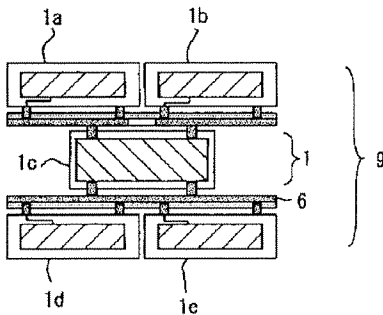


6c: 導線 (GNDまたは電源)  
6d: 配線

【図3】

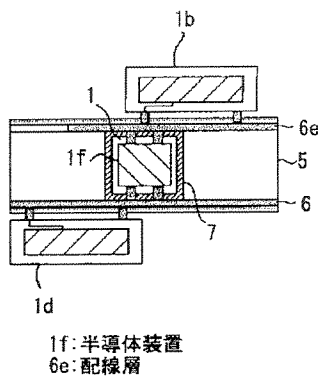


【図4】



1d, 1e: 半導体装置

【图 5】



【図 6】

